



⑮ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Pat ntschrift
⑩ DE 199 54 867 C 1

⑤① Int. Cl.⁷:
H 01 L 27/108
H 01 L 21/8242

②① Aktenzeichen: 199 54 867.6-33
②② Anmeldetag: 15. 11. 1999
②③ Offenlegungstag: -
②④ Veröffentlichungstag
der Patenterteilung: 7. 12. 2000

DE 199 54 867 C 1

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

⑦③ Patentinhaber:
Infineon Technologies AG, 81669 München, DE

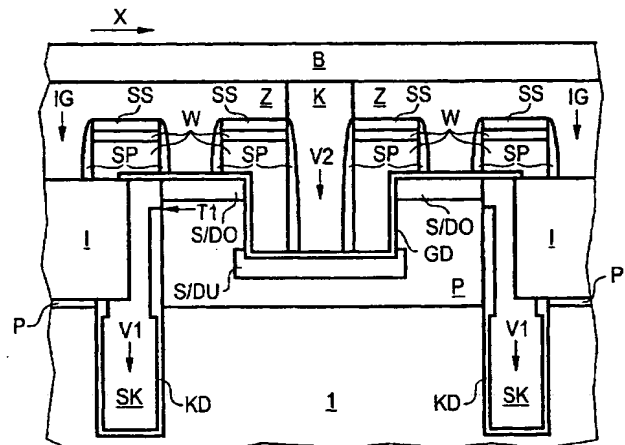
⑦④ Vertreter:
Zedlitz, P., Dipl.-Inf.Univ., Pat.-Anw., 80331
München

⑦② Erfinder:
Schlösser, Till, Dr., 81825 München, DE; Hofmann,
Franz, Dr., 80995 München, DE; Willer, Josef, Dr.,
85521 Riemerling, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
EP 8 52 392 A2

⑤④ DRAM-Zellenanordnung und Verfahren zu deren Herstellung

⑤⑦ Die Speicherzellen weisen jeweils einen Kondensator und einen Transistor auf. Ein Speicherknoten (SK) des Kondensators ist in einer ersten Vertiefung (V1) eines Substrats (1) angeordnet. Eine Gateelektrode des Transistors ist an einer ersten seitlichen Fläche einer zweiten Vertiefung (V2), die von der ersten Vertiefung (V1) beabstandet ist, in der zweiten Vertiefung (V2) angeordnet. Ein oberes Source-/Drain-Gebiet (S/DO) des Transistors grenzt an den Speicherknoten (SK) und an die zweite Vertiefung (V2) an. Ein unteres Source-/Drain-Gebiet (S/DU) des Transistors ist tiefer im Substrat (1) angeordnet als das obere Source-/Drain-Gebiet (S/DO) und grenzt an die zweite Vertiefung (V2) an.



DE 199 54 867 C 1

Die Erfindung betrifft eine DRAM-Zellenanordnung, das heißt eine Speicherzellenanordnung mit dynamischem wahlfreiem Zugriff, und ein Verfahren zu deren Herstellung.

Als Speicherzelle einer DRAM-Zellenanordnung wird derzeit fast ausschließlich eine sogenannte Ein-Transistor-Speicherzelle eingesetzt, die einen Transistor und einen Kondensator umfaßt. Die Information der Speicherzelle ist in Form einer Ladung auf dem Kondensator gespeichert. Der Kondensator ist mit dem Transistor verbunden, so daß bei Ansteuerung des Transistors über eine Wortleitung die Ladung des Kondensators über eine Bitleitung ausgelesen werden kann.

Eine solche DRAM-Zellenanordnung ist beispielsweise in EP 0 852 396 A2 offenbart. Ein Speicherknoten eines Kondensators ist in einem unteren Bereich einer Vertiefung eines Substrats angeordnet. Über dem Speicherknoten ist eine durch ein Gatedielektrikum isolierte Gateelektrode eines vertikalen Transistors in der Vertiefung angeordnet. Bis auf eine Aussparung im Bereich der Gateelektrode ist der Speicherknoten durch ein Kondensatordielektrikum vom Substrat getrennt. Im Bereich, in dem der Speicherknoten direkt an das Substrat angrenzt, ist ein unteres Source-/Drain-Gebiet des Transistors angeordnet. Ein oberes Source-/Drain-Gebiet des Transistors ist über dem unteren Source-/Drain-Gebiet angeordnet und grenzt an eine Oberfläche des Substrats und an die Vertiefung an. Das obere Source-/Drain-Gebiet ist mit einer Bitleitung verbunden.

Der Erfindung liegt die Aufgabe zugrunde, eine weitere DRAM-Zellenanordnung anzugeben, deren Speicherzellen jeweils einen Transistor und einen Kondensator aufweisen. Ferner soll ein Verfahren zur Herstellung einer solchen DRAM-Zellenanordnung angegeben werden.

Die Aufgabe wird gelöst durch eine DRAM-Zellenanordnung mit Speicherzellen, die jeweils einen Kondensator und einen Transistor aufweisen. Der Transistor ist als vertikaler Transistor ausgestaltet. Ein Speicherknoten des Kondensators ist in einer ersten Vertiefung des Substrats angeordnet. Ein Kondensatordielektrikum ist in der ersten Vertiefung und zwischen dem Speicherknoten und dem Substrat angeordnet. Der Speicherknoten grenzt mindestens in einem Kontaktbereich einer seitlichen Fläche der ersten Vertiefung an das Substrat an. Es ist eine zweite Vertiefung vorgesehen, die von der ersten Vertiefung beabstandet ist. Eine Gateelektrode des Transistors ist mindestens an einer ersten seitlichen Fläche der zweiten Vertiefung in der zweiten Vertiefung angeordnet und durch ein Gatedielektrikum, das mindestens an die erste seitliche Fläche angrenzt, vom Substrat getrennt. Ein oberes Source-/Drain-Gebiet des Transistors ist im Substrat derart angeordnet, daß es an die zweite Vertiefung und im Kontaktbereich der seitlichen Fläche der ersten Vertiefung an den Speicherknoten angrenzt. Ein unteres Source-/Drain-Gebiet des Transistors ist tiefer im Substrat angeordnet als das obere Source-/Drain-Gebiet. Das untere Source-/Drain-Gebiet grenzt an die zweite Vertiefung an.

Die Aufgabe wird ferner gelöst durch ein Verfahren zur Erzeugung einer DRAM-Zellenanordnung, bei dem Speicherzellen erzeugt werden, die jeweils einen Kondensator und einen Transistor aufweisen. Der Transistor wird als vertikaler Transistor erzeugt. Für den Kondensator wird eine erste Vertiefung in einem Substrat erzeugt. Die erste Vertiefung wird mit einem Kondensatordielektrikum versehen. Ein Speicherknoten des Kondensators wird in der ersten Vertiefung erzeugt. Der Speicherknoten wird so erzeugt, daß er mindestens in einem Kontaktbereich einer seitlichen Fläche der ersten Vertiefung an das Substrat angrenzt. Es wird eine zweite Vertiefung erzeugt, die von der ersten Vertiefung

beabstandet ist. Eine Gateelektrode des Transistors wird mindestens an einer ersten seitlichen Fläche der zweiten Vertiefung in der zweiten Vertiefung erzeugt und durch ein Gatedielektrikum, das mindestens an die erste seitliche Fläche angrenzend erzeugt wird, vom Substrat getrennt. Ein oberes Source-/Drain-Gebiet des Transistors wird derart erzeugt, daß es an die zweite Vertiefung und im Kontaktbereich der seitlichen Fläche der ersten Vertiefung an den Speicherknoten angrenzt. Ein unteres Source-/Drain-Gebiet des Transistors wird so erzeugt, daß es tiefer im Substrat angeordnet ist als das obere Source-/Drain-Gebiet und daß es an die zweite Vertiefung angrenzt.

Der Kontaktbereich der seitlichen Fläche der ersten Vertiefung, bei dem der Speicherknoten direkt an das obere Source-/Drain-Gebiet angrenzt, liegt also höher als das untere Source-/Drain-Gebiet des Transistors.

Da für den Kondensator (Speicherknoten) und für den Transistor (Gateelektrode) unterschiedliche Vertiefungen vorgesehen sind, kann die erste seitliche Fläche der zweiten Vertiefung, an der das Gatedielektrikum erzeugt wird, von Prozeßschritten zur Erzeugung der ersten Vertiefung verschont bleiben. Dies ist vorteilhaft, da die Qualität einer Fläche, auf der das Gatedielektrikum eines Transistors erzeugt wird, im allgemeinen einen großen Einfluß auf die elektrischen Eigenschaften des Transistors hat. Diese Fläche wird vorzugsweise mit besonderer Sorgfalt hergestellt, so daß der Transistor verbesserte elektrische Eigenschaften aufweist.

Das Vorsehen von zwei unterschiedlichen Vertiefungen bietet darüber hinaus den Vorteil, daß die Geometrie der Fläche, an der das Gatedielektrikum erzeugt wird, unabhängig von einer Geometrie einer Fläche, an der das Kondensatordielektrikum erzeugt wird, sein kann. Die Fläche, an der das Gatedielektrikum erzeugt wird, ist vorzugsweise eben, so daß sie eine definierte Ausrichtung bezüglich des Kristallgitters des Substrats aufweist, damit das Gatedielektrikum homogen aufwachsen kann. Die Fläche, an der das Kondensatordielektrikum erzeugt wird, ist vorzugsweise gekrümmt, so daß das Kondensatordielektrikum keine Kanten aufweist, an denen Feldverzerrungen zu Leckströmen führen können. Demzufolge können sowohl der Transistor als auch der Kondensator besonders gute elektrische Eigenschaften aufweisen.

Die erste seitliche Fläche der zweiten Vertiefung ist vorzugsweise eben. Ein horizontaler Querschnitt der ersten Vertiefung ist beispielsweise kreisförmig oder ellipsenförmig.

Zur Erhöhung der Kapazität des Kondensators ist es vorteilhaft, wenn die erste Vertiefung tiefer ist als die zweite Vertiefung.

Die Gateelektrode ist mit einer Wortleitung verbunden. Ein Teil des Substrats, der an die erste Vertiefung angrenzt, wirkt als Kondensatorelektrode des Kondensators.

Beispielsweise ist das untere Source-/Drain-Gebiet des Transistors mit einer quer zur Wortleitung verlaufenden Bitleitung verbunden. Alternativ ist die Kondensatorelektrode mit der Bitleitung verbunden.

Zur besseren Ansteuerung des Transistors durch die Gateelektrode ist es vorteilhaft, wenn das untere Source-/Drain-Gebiet mindestens teilweise an die erste seitliche Fläche der zweiten Vertiefung angrenzt.

Die erste seitliche Fläche der zweiten Vertiefung kann der ersten Vertiefung abgewandt sein. In diesem Fall weist die erste seitliche Fläche im Vergleich zu übrigen seitlichen Flächen der zweiten Vertiefung einen maximalen Abstand zur ersten Vertiefung auf. Beispielsweise umgibt das obere Source-/Drain-Gebiet die zweite Vertiefung, damit sie sowohl an die erste Vertiefung als auch an die erste seitliche Fläche der zweiten Vertiefung angrenzen kann.

Zur Erhöhung der Packungsdichte der DRAM-Zellenan-

ordnung ist vorzugsweise die erste seitliche Fläche der zweiten Vertiefung der ersten Vertiefung zugewandt und ist die seitliche Fläche der ersten Vertiefung der zweiten Vertiefung zugewandt. In diesem Fall ist ein Kanalgebiet des Transistors, durch den bei Ansteuerung des Transistors Strom fließt, zwischen der ersten und der zweiten Vertiefung angeordnet. Zur Erhöhung der Packungsdichte ist vorzugsweise auch das obere Source-/Drain-Gebiet zwischen der ersten Vertiefung und der zweiten Vertiefung angeordnet.

Zur Prozeßvereinfachung grenzt das obere Source-/Drain-Gebiet vorzugsweise an eine Oberfläche des Substrats, von der die erste Vertiefung und die zweite Vertiefung ausgehen, an. In diesem Fall kann das obere Source-/Drain-Gebiet durch Implantation oder durch insitu dotierte Epitaxie erzeugt werden. Die Implantation kann vor oder nach Erzeugung der ersten Vertiefung und/oder der zweiten Vertiefung erfolgen.

Alternativ ist das obere Source-/Drain-Gebiet unterhalb der Oberfläche des Substrats angeordnet.

Mindestens ein Teil des unteren Source-/Drain-Gebiets kann unter der zweiten Vertiefung angeordnet sein und an den Boden der zweiten Vertiefung angrenzen. Zur Prozeßvereinfachung ist vorzugsweise der größte Teil des unteren Source-/Drain-Gebiets unter der zweiten Vertiefung angeordnet und grenzt an den Boden der zweiten Vertiefung an. In diesem Fall kann das untere Source-/Drain-Gebiet durch Implantation nach Erzeugung der zweiten Vertiefung selbstjustiert am Boden der zweiten Vertiefung erzeugt werden. Das obere Source-/Drain-Gebiet und das untere Source-/Drain-Gebiet können gleichzeitig durch Implantation nach Erzeugung der zweiten Vertiefung erzeugt werden. Alternativ wird das untere Source-/Drain-Gebiet aus einer im Substrat vergrabenen dotierten Schicht erzeugt.

Das untere Source-/Drain-Gebiet kann Teil einer im Substrat vergrabenen Bitleitung sein.

Vorzugsweise ist in der zweiten Vertiefung ein Bitleitungskontakt angeordnet, der bis zum unteren Source-/Drain-Gebiet am Boden der zweiten Vertiefung reicht und von der Gateelektrode des Transistors isoliert ist. Der Bitleitungskontakt ist mit der Bitleitung verbunden, die auf dem Bitleitungskontakt angeordnet ist.

Zur Erhöhung der Packungsdichte grenzt der Speicherknoten vorzugsweise nur im Kontaktbereich der seitlichen Fläche der ersten Vertiefung an das Substrat an. Da der Speicherknoten in diesem Fall nicht in Bereichen weiterer seitlicher Flächen der ersten Vertiefung direkt an das Substrat angrenzt, können benachbarte Speicherzellen einen kleineren Abstand zum Speicherknoten aufweisen, ohne daß Leckströme zwischen dem Speicherknoten und den Speicherzellen entstehen.

Es liegt im Rahmen der Erfindung, wenn jede Speicherzelle eine eigene erste Vertiefung und eine eigene zweite Vertiefung umfaßt.

Zur Erhöhung der Packungsdichte teilen sich vorzugsweise jeweils zwei Zellen eine zweite Vertiefung. Eine solche DRAM-Zellenanordnung kann folgendermaßen ausgestaltet sein:

Die zweite Vertiefung ist einer ersten Speicherzelle und einer zweiten Speicherzelle zugeordnet. Die Gateelektrode des Transistors der ersten Speicherzelle ist an der ersten seitlichen Fläche der zweiten Vertiefung angeordnet. Die Gateelektrode des Transistors der zweiten Speicherzelle ist an einer zweiten, der ersten seitlichen Fläche der zweiten Vertiefung gegenüberliegenden seitlichen Fläche der zweiten Vertiefung angeordnet und durch das Gatedielektrikum, das mindestens auch an die zweite seitliche Fläche der zweiten Vertiefung angrenzt, vom Substrat getrennt. Die Gateelektrode des Transistors der zweiten Speicherzelle ist von der

Gateelektrode des Transistors der ersten Speicherzelle getrennt. Die zweite Vertiefung ist zwischen der ersten Vertiefung der ersten Speicherzelle und der ersten Vertiefung der zweiten Speicherzelle angeordnet. Das untere Source-/Drain-Gebiet des Transistors der ersten Speicherzelle stimmt mit dem unteren Source-/Drain-Gebiet des Transistors der zweiten Speicherzelle überein.

Bei einer solchen DRAM-Zellenanordnung kann der Bitleitungskontakt zwischen der Gateelektrode des Transistors der ersten Speicherzelle und der Gateelektrode des Transistors der zweiten Speicherzelle angeordnet sein und von der Gateelektrode des Transistors der ersten Speicherzelle und von der Gateelektrode des Transistors der zweiten Speicherzelle isoliert sein.

Zur Vermeidung von Leckströmen zwischen der ersten Speicherzelle bzw. der zweiten Speicherzelle und dazu benachbarten Speicherzellen ist es vorteilhaft, einen mit einer Isolation gefüllten Isolationsgraben vorzusehen, der die zweite Vertiefung, mindestens einen Teil der ersten Vertiefung der ersten Speicherzelle, der den Kontaktbereich der zugehörigen seitlichen Fläche umfaßt, und mindestens einen Teil der ersten Vertiefung der zweiten Speicherzelle, der den Kontaktbereich der zugehörigen seitlichen Fläche umfaßt, seitlich umgibt.

Zur Prozeßvereinfachung grenzt die zweite Vertiefung vorzugsweise an einen Teil des Isolationsgrabens und an einen dem Teil gegenüberliegenden Teil des Isolationsgrabens an. In diesem Fall kann die DRAM-Zellenanordnung wie folgt erzeugt werden:

Es wird der mit der Isolation gefüllte Isolationsgraben erzeugt, der einen Bereich des Substrats seitlich umgibt. Zur Erzeugung der zweiten Vertiefung wird mit Hilfe einer Maske, die einen Streifen, der den Bereich des Substrats durchquert, nicht bedeckt, das Substrat anisotrop selektiv zur Isolation geätzt. Die zweite Vertiefung grenzt selbstjustiert mit zwei Enden an den Isolationsgraben an und teilt den Bereich des Substrats in zwei Hälften. Die oberen Source-/Drain-Gebiete der Transistoren der ersten Speicherzelle und der zweiten Speicherzelle können selbstjustiert getrennt voneinander erzeugt werden, da die beiden Hälften durch die zweite Vertiefung und durch die Isolation voneinander getrennt sind. Eine unmaskierte Implantation genügt zur Erzeugung der voneinander getrennten oberen Source-/Drain-Gebiete.

Zur Verringerung von Leckströmen reicht der Isolationsgraben vorzugsweise tiefer in das Substrat hinein als das untere Source-/Drain-Gebiet des Transistors der ersten Speicherzelle.

Der Isolationsgraben kann so erzeugt werden, daß aufgrund des Isolationsgrabens der Speicherknoten nur im Kontaktbereich der seitlichen Fläche der ersten Vertiefung an das Substrat angrenzt. Dazu wird die erste Vertiefung vor Erzeugung des Isolationsgrabens erzeugt. Das Kondensatordielektrikum wird so erzeugt, daß es einen Boden der ersten Vertiefung und Flanken der ersten Vertiefung bis zu einer ersten Tiefe unterhalb der Oberfläche des Substrats bedeckt. Nach Erzeugung des Kondensatordielektrikums wird der Speicherknoten so erzeugt, daß er die erste Vertiefung bis mindestens zur Oberfläche des Substrats füllt. Anschließend wird der Isolationsgraben so erzeugt, daß er in den Speicherknoten hineinreicht, tiefer als die erste Tiefe ist und die erste Vertiefung so überlappt, daß der Speicherknoten nur noch im Kontaktbereich der seitlichen Fläche der ersten Vertiefung an das Substrat angrenzt.

Alternativ grenzt der Speicherknoten auch im Bereich anderer seitlicher Flächen der ersten Vertiefung an das Substrat an.

Die DRAM-Zellenanordnung kann folgendermaßen aus-

gestaltet sein:

Die erste Speicherzelle und die zweite Speicherzelle bilden ein Paar. Es sind eine Anzahl zum Paar analog ausgestaltete Paare vorgesehen. Die Paare bilden Reihen. Entlang der Reihen verläuft jeweils eine Bitleitung. Die Paare sind so angeordnet, daß die ersten Vertiefungen und die zweiten Vertiefungen von Paaren einer Reihe entlang der Reihe nebeneinander angeordnet sind. Quer zu den Reihen verlaufen Wortleitungen. Zueinander benachbarte der Wortleitungen weisen denselben Abstand voneinander auf. Die Wortleitungen und die Paare sind so angeordnet, daß die Wortleitungen jeweils alternierend erste Vertiefungen bedecken und zweite Vertiefungen überlappen. Die Gateelektroden der Transistoren der Speicherzellen sind Teile der Wortleitungen.

Im folgenden wird ein Ausführungsbeispiel der Erfindung anhand der Figuren näher erläutert.

Fig. 1 zeigt einen Querschnitt durch ein Substrat, nachdem eine dotierte Schicht, erste Vertiefungen, ein Kondensatordielektrikum und Speicherknoten von Kondensatoren erzeugt wurden.

Fig. 2a zeigt den Querschnitt durch **Fig. 1**, nachdem Isolationsgräben und Isolationen erzeugt wurden.

Fig. 2b zeigt eine Aufsicht auf das Substrat, in der die ersten Vertiefungen und die Isolationen dargestellt sind.

Fig. 3a zeigt den Querschnitt aus **Fig. 2**, nachdem zweite Vertiefungen, Hilfsspacer, untere Source-/Drain-Gebiete und obere Source-/Drain-Gebiete von Transistoren erzeugt wurden.

Fig. 3b zeigt die Aufsicht aus **Fig. 2b**, in der die ersten Vertiefungen, die zweiten Vertiefungen und die Isolationen dargestellt sind.

Fig. 4a zeigt den Querschnitt aus **Fig. 3**, nachdem ein Gatedielektrikum, Wortleitungen, eine Schutzschicht, Spacer, ein Zwischenoxid, Bitleitungskontakte und Bitleitungen erzeugt wurden.

Fig. 4b zeigt die Aufsicht aus **Fig. 3b**, in der die Wortleitungen, die Bitleitungen, die ersten Vertiefungen, die zweiten Vertiefungen und die Bitleitungskontakte dargestellt sind.

Die Figuren sind nicht maßstabsgerecht.

In einem Ausführungsbeispiel ist als Ausgangsmaterial ein Substrat 1 aus monokristallinem Silizium vorgesehen, das eine p-dotierte Schicht P aufweist, die an eine Oberfläche des Substrats 1 angrenzt. Die dotierte Schicht P weist eine Dotierstoffkonzentration von ca. $2 \cdot 10^{17} \text{ cm}^{-3}$ auf. Das übrige Substrat 1 ist n-dotiert, und weist eine Dotierstoffkonzentration von ca. 10^{19} cm^{-3} auf.

Durch Ätzen mit Hilfe einer Maske aus Siliziumnitrid (nicht dargestellt) werden im Substrat 1 ca. 6 µm tiefe erste Vertiefungen V1 erzeugt (siehe **Fig. 1**). Die ersten Vertiefungen V1 weisen einen horizontalen Querschnitt auf, der kreisförmig ist und einen Durchmesser von ca. 150 nm aufweist. Die ersten Vertiefungen V1 bilden Spalten, die entlang einer Y-Achse Y verlaufen. Die Y-Achse Y liegt in der Oberfläche des Substrats 1. Entlang der Spalten zueinander benachbarter der ersten Vertiefung V1 weisen einen Abstand von ca. 450 nm voneinander auf. Zueinander benachbarte Spalten sind alternierend versetzt und nicht versetzt zueinander angeordnet, so daß die ersten Vertiefungen V1 Reihen bilden, die parallel zur einer X-Achse X verlaufen. Die X-Achse X verläuft senkrecht zur Y-Achse Y und liegt in der Oberfläche des Substrats 1. Zueinander benachbarte der ersten Vertiefungen V1 einer Reihe weisen abwechselnd einen Abstand, der ca. 150 nm beträgt, und einen Abstand, der ca. 750 nm beträgt, auf (siehe **Fig. 4b**).

Durch Abscheiden von Siliziumnitrid in einer Dicke von ca. 5 nm wird ein erster Teil eines Kondensatordielektrikums KD erzeugt, das Böden und seitliche Flächen der er-

sten Vertiefungen V1 bedeckt. Anschließend wird insitu dotiertes Polysilizium in einer Dicke von ca. 100 nm abgeschieden und ca. 1000 nm weit selektiv zu Siliziumnitrid rückgeätzt. Die Maske aus Siliziumnitrid schützt dabei das Substrat 1.

Anschließend werden freiliegende Teile des ersten Teils des Kondensatordielektrikums KD mit zum Beispiel heißer Phosphorsäure entfernt.

Zur Erzeugung eines zweiten Teils des Kondensatordielektrikums KD wird SiO_2 in einer Dicke von ca. 50 nm abgeschieden und rückgeätzt, bis das Polysilizium freigelegt wird. Anschließend wird insitu dotiertes Polysilizium in einer Dicke von ca. 100 nm abgeschieden und bis zu einer ersten Tiefe T1 unterhalb der Oberfläche des Substrats 1 rückgeätzt. Die erste Tiefe T1 liegt ca. 100 nm unterhalb der Oberfläche des Substrats 1.

Mit zum Beispiel NF_3 werden freiliegende Teile des zweiten Teils des Kondensatordielektrikums KD entfernt.

Anschließend wird weiteres insitu dotiertes Polysilizium in einer Dicke von ca. 100 nm abgeschieden und durch chemischmechanisches Polieren planarisiert, bis die Maske aus Siliziumnitrid freigelegt wird (siehe **Fig. 1**). Das Polysilizium in den ersten Vertiefungen V1 bildet Speicherknoten SK von Kondensatoren.

Durch maskiertes Ätzen werden ca. 600 nm tiefe Isolationsgräben IG erzeugt, die die ersten Vertiefungen V1 überlappen und in die Speicherknoten SK hineinreichen (siehe **Fig. 2a**).

Die Isolationsgräben IG umgeben jeweils Teile zweier der ersten Vertiefungen V1, die entlang einer Reihe zueinander benachbart sind und den Abstand von ca. 750 nm voneinander aufweisen. Die Isolationsgräben IG hängen zusammen. Aufgrund der Isolationsgräben IG grenzen die Speicherknoten SK nur noch in einem Kontaktbereich einer seitlichen Fläche der zugehörigen ersten Vertiefung V1 direkt an das Substrat 1 an (siehe **Fig. 2a**).

Zur Erzeugung von Isolationen I wird SiO_2 in einer Dicke von ca. 150 nm abgeschieden und durch chemisch mechanisches Polieren planarisiert, bis die Maske aus Siliziumnitrid freigelegt wird. Die Isolationen I sind in den Isolationsgräben IG angeordnet (siehe **Fig. 2a** und **2b**).

Mit Hilfe einer streifenförmigen ersten Maske M aus Photolack, deren Streifen ca. 300 nm breit sind, parallel zur Y-Achse Y verlaufen und einen Abstand von ca. 300 nm voneinander aufweisen, wird das Substrat 1 selektiv zu den Isolationen I geätzt, so daß zwischen jeweils zwei der ersten Vertiefungen V1, die entlang einer Reihe zueinander benachbart sind und den Abstand von ca. 750 nm voneinander aufweisen, ca. 300 nm tiefe zweite Vertiefungen V2 erzeugt werden. Die Vertiefungen V2 teilen Bereiche, die von den Isolationsgräben IG seitlich umgeben sind, in zwei gleich große Hälften auf (siehe **Fig. 3a** und **3b**).

Die erste Maske M wird entfernt.

Zur Erzeugung von Hilfsspacern HS wird Siliziumnitrid in einer Dicke von ca. 50 nm abgeschieden und rückgeätzt, bis die Oberfläche des Substrats 1 freigelegt wird.

Anschließend wird eine Implantation mit n-dotierenden Ionen durchgeführt, so daß zwischen den zweiten Vertiefungen V2 und den ersten Vertiefungen V1 obere Source-/Drain-Gebiete S/DO von Transistoren erzeugt werden und an Böden der zweiten Vertiefungen V2 untere Source-/Drain-Gebiete S/DU der Transistoren erzeugt werden (siehe **Fig. 3a**). Die Hilfsspacer HS schützen dabei die seitlichen Flächen der zweiten Vertiefungen V2 vor Implantation. Die oberen Source-/Drain-Gebiete S/DO und die unteren Source-/Drain-Gebiete S/DU sind ca. 50 nm dick und weisen eine Dotierstoffkonzentration von ca. 10^{19} cm^{-3} auf.

Mit zum Beispiel H_3PO_4 werden die Hilfsspacer HS ent-

fernt.

Durch thermische Oxidation wird ein ca. 6 nm dickes Gatedielektrikum GD erzeugt, das die Böden und die seitlichen Flächen der zweiten Vertiefungen V2 sowie die oberen Source-/Drain-Gebiete S/DO bedeckt (siehe Fig. 4a).

Anschließend wird Polysilizium in einer Dicke von ca. 50 nm abgeschieden und durch chemisch mechanisches Polieren planarisiert. Darüber werden WSi in einer Dicke von ca. 100 nm und darüber eine ca. 100 nm dicke Schutzschicht SS aus Siliziumnitrid abgeschieden. Mit Hilfe einer streifenförmigen zweiten Maske aus Photolack, deren Streifen ca. 150 nm breit sind, parallel zur Y-Achse Y verlaufen, die ersten Vertiefungen V1 bedecken und einen Abstand von ca. 150 nm voneinander aufweisen, werden das Polysilizium, das WSi und die Schutzschicht SS geätzt, bis Teile des Gatedielektrikums GD an den Böden der zweiten Vertiefungen V2 freigelegt werden (siehe Fig. 4a).

Die zweite Maske wird entfernt.

Aus dem Polysilizium und dem WSi entstehen dabei von der Schutzschicht SS bedeckte Wortleitungen W, die im Bereich der seitlichen Flächen der zweiten Vertiefungen V2 als Gateelektroden wirken.

Zur Erzeugung von Spacern SP wird Siliziumnitrid in einer Dicke von ca. 40 nm abgeschieden und rückgeätzt, bis das Gatedielektrikum GD an den Böden der zweiten Vertiefungen V2 freigelegt wird (siehe Fig. 4a). Die Wortleitungen W werden durch die Schutzschicht SS und durch die Spacer SP eingekapselt.

Zur Erzeugung eines ca. 800 nm dicken Zwischenoxids Z wird SiO_2 in einer Dicke von ca. 1500 nm abgeschieden und durch chemisch mechanisches Polieren planarisiert. Durch maskiertes Ätzen werden Kontaktlöcher zu den Böden der zweiten Vertiefungen V2 geöffnet, wobei SiO_2 selektiv zu Siliziumnitrid geätzt wird. Dabei werden die unteren Source-/Drain-Gebiete S/DU freigelegt (siehe Fig. 4a).

Durch Abscheiden von Ti/TiN/W und chemisch mechanischem Polieren bis das Zwischenoxid Z freigelegt wird, werden in den Kontaktlöchern Bitleitungskontakte K erzeugt (siehe Fig. 4a und 4b).

Zur Erzeugung von Bitleitungen B wird Al in einer Dicke von ca. 300 nm abgeschieden und durch maskiertes Ätzen so strukturiert, daß die Bitleitungen B ca. 150 nm breit sind, einen Abstand von ca. 150 nm voneinander aufweisen, über den Bitleitungskontakten K angeordnet sind und parallel zur X-Achse X verlaufen (siehe Fig. 4a und 4b).

Durch das im Ausführungsbeispiel beschriebene Verfahren wird eine DRAM-Zellenanordnung erzeugt, bei der Speicherzellen jeweils einen Transistor und einen damit verbundenen Kondensator umfassen. Jeweils zwei Speicherzellen bilden ein Paar und sind von einem der Isolationsgräben IG seitlich umgeben. Die Transistoren der Speicherzellen eines Paares teilen sich das untere Source-/Drain-Gebiet S/DU. Teile der dotierten Schicht P, die zwischen dem unteren Source-/Drain-Gebiet S/DU und den oberen Source-/Drain-Gebieten S/DO angeordnet sind, wirken als Kanalgebiet der Transistoren.

Es sind viele Variationen denkbar, die ebenfalls im Rahmen der Erfindung liegen. So können Abmessungen der beschriebenen Schichten, Leitungen, Vertiefungen, Gräben, Kontakte, Strukturen und Masken an die jeweiligen Erfordernisse angepaßt werden. Dasselbe gilt für die Wahl der Materialien.

Patentansprüche

1. DRAM-Zellenanordnung,
 - mit Speicherzellen, die jeweils einen Kondensator und einen Transistor aufweisen,

- bei der der Transistor als vertikaler Transistor ausgestaltet ist,

- bei der ein Speicherknoten (SK) des Kondensators in einer ersten Vertiefung (V1) eines Substrats (1) angeordnet ist,

- bei der ein Kondensatordielektrikum (KD) in der ersten Vertiefung (V1) angeordnet ist und zwischen dem Speicherknoten (SK) und dem Substrat (1) angeordnet ist,

- bei der der Speicherknoten (SK) mindestens in einem Kontaktbereich einer seitlichen Fläche der ersten Vertiefung (V1) an das Substrat (1) angrenzt,

dadurch gekennzeichnet, daß

- eine zweite Vertiefung (V2) des Substrats (1) vorgesehen ist, die von der ersten Vertiefung (V1) beabstandet ist,

- eine Gateelektrode des Transistors mindestens an einer ersten seitlichen Fläche der zweiten Vertiefung (V2) in der zweiten Vertiefung (V2) angeordnet ist und durch ein Gatedielektrikum (GD), das mindestens an die erste seitliche Fläche angrenzt, vom Substrat (1) getrennt ist,

- ein oberes Source/Drain-Gebiet (S/DO) des Transistors im Substrat (1) derart angeordnet ist, daß es an die zweite Vertiefung (V2) und im Kontaktbereich der seitlichen Fläche der ersten Vertiefung (V1) an den Speicherknoten (SK) angrenzt,
- ein unteres Source/Drain-Gebiet (S/DU) des Transistors tiefer im Substrat (1) angeordnet ist als das obere Source/Drain-Gebiet (S/DO) und an die zweite Vertiefung (V2) angrenzt.

2. DRAM-Zellenanordnung nach Anspruch 1,

- bei der die erste seitliche Fläche der zweiten Vertiefung (V2) der ersten Vertiefung (V1) zugewandt ist,

- bei der die seitliche Fläche der ersten Vertiefung (V1) der zweiten Vertiefung (V2) zugewandt ist.

3. DRAM-Zellenanordnung nach Anspruch 1 oder 2,

- bei der das obere Source/Drain-Gebiet (S/DO) an eine Oberfläche des Substrats (1), von der die erste Vertiefung (V1) und die zweite Vertiefung (V2) ausgehen, angrenzt.

4. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 3,

- beider mindestens ein Teil des unteren Source/Drain-Gebiets (S/DU) unter der zweiten Vertiefung (V2) angeordnet ist und an den Boden der zweiten Vertiefung (V2) angrenzt.

5. DRAM-Zellenanordnung nach einem der Ansprüche 1 bis 4,

- bei der der Speicherknoten (SK) nur im Kontaktbereich der seitlichen Fläche der ersten Vertiefung (V1) an das Substrat (1) angrenzt.

6. DRAM-Zellenanordnung nach einem der Ansprüche 2 bis 5,

- bei der die zweite Vertiefung (V2) einer ersten Speicherzelle und einer zweiten Speicherzelle zugeordnet ist,

- bei der die Gateelektrode des Transistors der ersten Speicherzelle an der ersten seitlichen Fläche der zweiten Vertiefung (V2) angeordnet ist,

- bei der die Gateelektrode des Transistors der zweiten Speicherzelle an einer zweiten, der ersten seitlichen Fläche der zweiten Vertiefung (V2) gegenüberliegenden seitlichen Fläche der zweiten Vertiefung (V2) angeordnet ist und durch das Ga-

- tedielektrikum (GD), daß mindestens auch an die zweite seitliche Fläche der zweiten Vertiefung (V2) angrenzt, vom Substrat (1) getrennt ist,
- bei der die Gateelektrode des Transistors der zweiten Speicherzelle von der Gateelektrode des Transistors der ersten Speicherzelle getrennt ist,
 - bei der die zweite Vertiefung (V2) zwischen der ersten Vertiefung (V1) der ersten Speicherzelle und der ersten Vertiefung (V1) der zweiten Speicherzelle angeordnet ist,
 - bei der das untere Source/Drain-Gebiet (S/DU) des Transistors der ersten Speicherzelle mit dem unteren Source/Drain-Gebiet (S/DU) des Transistors der zweiten Speicherzelle übereinstimmt.
7. DRAM-Zellenanordnung nach Anspruch 6,
- bei der zwischen der Gateelektrode des Transistors der ersten Speicherzelle und zwischen der Gateelektrode des Transistors der zweiten Speicherzelle ein Bitleitungskontakt (K) angeordnet ist, der bis zum unteren Source/Drain-Gebiet (S/DU) des Transistors der ersten Speicherzelle reicht und von der Gateelektrode des Transistors der ersten Speicherzelle und von der Gateelektrode des Transistors der zweiten Speicherzelle isoliert ist.
8. DRAM-Zellenanordnung nach Anspruch 6 oder 7,
- bei der ein mit einer Isolation (I) gefüllter Isolationsgraben (IG) vorgesehen ist, der die zweite Vertiefung (V2), mindestens einen Teil der ersten Vertiefung (V1) der ersten Speicherzelle und mindestens einen Teil der ersten Vertiefung (V1) der zweiten Speicherzelle seitlich derart umgibt, daß die zweite Vertiefung (V2) an einen Teil des Isolationsgrabens (IG) und an einen dem Teil gegenüberliegenden Teil des Isolationsgrabens (IG) angrenzt.
9. DRAM-Zellenanordnung nach Anspruch 8,
- bei der der Isolationsgraben (IG) tiefer in das Substrat (1) reicht als das untere Source/Drain-Gebiet (S/DU) des Transistors der ersten Speicherzelle.
10. DRAM-Zellenanordnung nach Anspruch 8 oder 9,
- bei der die erste Speicherzelle und die zweite Speicherzelle ein Paar bilden,
 - mit einer Anzahl zum Paar analog ausgestalteten Paaren,
 - bei der die Paare Reihen bilden,
 - bei der entlang der Reihen jeweils eine Bitleitung (B) verläuft,
 - bei der die Paare so angeordnet sind, daß die ersten Vertiefungen (V1) und die zweiten Vertiefungen (V2) von Paaren einer Reihe entlang der Reihe nebeneinander angeordnet sind,
 - bei der quer zu den Reihen Wortleitungen (W) verlaufen,
 - bei der zueinander benachbarte der Wortleitungen (W) denselben Abstand voneinander aufweisen,
 - bei der die Wortleitungen (W) jeweils alternierend erste Vertiefungen (V1) bedecken und zweite Vertiefungen (V2) überlappen,
 - bei der die Gateelektroden der Transistoren der Speicherzellen Teile der Wortleitungen (W) sind.
11. Verfahren zur Herstellung einer DRAM-Zellenanordnung,
- bei dem Speicherzellen erzeugt werden, die jeweils einen Kondensator und einen Transistor aufweisen,

- bei der der Transistor als vertikaler Transistor erzeugt wird,
 - bei dem für den Kondensator eine erste Vertiefung (V1) in einem Substrat (1) erzeugt wird,
 - bei dem die erste Vertiefung (V1) mit einem Kondensatordielektrikum (KD) versehen wird,
 - bei dem ein Speicherknoten (SK) des Kondensators in der ersten Vertiefung (V1) erzeugt wird,
 - bei dem der Speicherknoten (SK) so erzeugt wird, daß er mindestens in einem Kontaktbereich einer seitlichen Fläche der ersten Vertiefung (V1) an das Substrat (1) angrenzt, dadurch gekennzeichnet, daß
 - eine zweite Vertiefung (V2) erzeugt wird, die von der ersten Vertiefung (V1) beabstandet ist,
 - eine Gateelektrode des Transistors mindestens an einer ersten seitlichen Fläche der zweiten Vertiefung (V2) in der zweiten Vertiefung (V2) erzeugt wird und durch ein Gatedielektrikum (GD), das mindestens an die erste seitliche Fläche angrenzend erzeugt wird, vom Substrat (1) getrennt ist,
 - ein oberes Source/Drain-Gebiet (S/DO) des Transistors derart erzeugt wird, daß es an die zweite Vertiefung (V2) und im Kontaktbereich der seitlichen Fläche der ersten Vertiefung (V1) an den Speicherknoten (SK) angrenzt,
 - ein unteres Source/Drain-Gebiet (S/DU) des Transistors so erzeugt wird, daß es tiefer im Substrat (1) angeordnet ist als das obere Source/Drain-Gebiet (S/DO) und an die zweite Vertiefung (V2) angrenzt.
12. Verfahren nach Anspruch 11,
- bei dem die Gateelektrode so erzeugt wird, daß die erste seitliche Fläche der zweiten Vertiefung (V2) der ersten Vertiefung (V1) zugewandt ist,
 - bei dem die seitliche Fläche der ersten Vertiefung (V1) der zweiten Vertiefung (V2) zugewandt ist.
13. Verfahren nach Anspruch 11 oder 12,
- bei dem das obere Source/Drain-Gebiet (S/DO) so erzeugt wird, daß es an eine Oberfläche des Substrats (1), von der die erste Vertiefung (V1) und die zweite Vertiefung (V2) ausgehen, angrenzt.
14. Verfahren nach einem der Ansprüche 11 bis 13,
- bei dem nach Erzeugung der zweiten Vertiefung (V2) zur Erzeugung des unteren Source/Drain-Gebiets (S/DU) eine Implantation durchgeführt wird, so daß das untere Source/Drain-Gebiet (S/DU) an den Boden der zweiten Vertiefung (V2) angrenzt.
15. Verfahren nach einem der Ansprüche 12 bis 14,
- bei dem die zweite Vertiefung (V2) für eine erste Speicherzelle und eine zweite Speicherzelle erzeugt wird,
 - bei dem die Gateelektrode des Transistors der ersten Speicherzelle so erzeugt wird, daß sie an der ersten seitlichen Fläche der zweiten Vertiefung (V2) angeordnet ist,
 - bei dem die Gateelektrode des Transistors der zweiten Speicherzelle so erzeugt wird, daß sie an einer zweiten, der ersten seitlichen Fläche der zweiten Vertiefung (V2) gegenüberliegenden seitlichen Fläche der zweiten Vertiefung (V2) angeordnet ist und durch das Gatedielektrikum (GD), das so erzeugt wird, daß es mindestens auch an die zweite seitliche Fläche der zweiten Vertiefung

- (V2) angrenzt, vom Substrat (1) getrennt ist,
 – bei dem die Gateelektrode des Transistors der zweiten Speicherzelle so erzeugt wird, daß sie von der Gateelektrode des Transistors der ersten Speicherzelle getrennt ist, 5
 – bei dem die zweite Vertiefung (V2) so erzeugt wird, daß sie zwischen der ersten Vertiefung (V1) der ersten Speicherzelle und der ersten Vertiefung (V1) der zweiten Speicherzelle angeordnet ist,
 – bei dem das untere Source/Drain-Gebiet (S/DU) des Transistors der ersten Speicherzelle mit dem unteren Source/Drain-Gebiet (S/DU) des Transistors der zweiten Speicherzelle übereinstimmt. 10
16. Verfahren nach Anspruch 15, 15
 – bei dem zwischen der Gateelektrode des Transistors der ersten Speicherzelle und zwischen der Gateelektrode des Transistors der zweiten Speicherzelle ein Bitleitungskontakt (K) erzeugt wird, der bis zum unteren Source/Drain-Gebiet (S/DU) des Transistors der ersten Speicherzelle reicht und von der Gateelektrode des Transistors der ersten Speicherzelle und von der Gateelektrode des Transistors der zweiten Speicherzelle isoliert ist. 20
17. DRAM-Zellenanordnung nach Anspruch 15 oder 16, 25
 – bei dem ein mit einer Isolation (I) gefüllter Isolationsgraben (IG) erzeugt wird, der einen Bereich des Substrats (1) seitlich umgibt,
 – bei dem die erste Vertiefung (V1) der ersten Speicherzelle und die erste Vertiefung (V1) der zweiten Speicherzelle so erzeugt werden, daß mindestens ein Teil der ersten Vertiefung (V1) der ersten Speicherzelle, der den Kontaktbereich der zugehörigen seitlichen Fläche umfaßt, und mindestens ein Teil der ersten Vertiefung (V1) der zweiten Speicherzelle, der den Kontaktbereich der zugehörigen seitlichen Fläche umfaßt, innerhalb des Bereichs des Substrats (1) angeordnet sind, 30
 – bei dem zur Erzeugung der zweiten Vertiefung (V2) mit Hilfe einer Maske (M), die einen Streifen, der den Bereich des Substrats (1) durchquert, nicht bedeckt, das Substrat (1) anisotrop selektiv zur Isolation (I) geätzt wird. 35
18. Verfahren nach Anspruch 17, 45
 – bei dem der Isolationsgraben (IG) tiefer erzeugt wird als das untere Source/Drain-Gebiet (S/DU) des Transistors der ersten Speicherzelle.
19. Verfahren nach Anspruch 17 oder 18, 50
 – bei dem die erste Vertiefung (V1) vor Erzeugung des Isolationsgrabens (IG) erzeugt wird,
 – bei dem das Kondensatordielektrikum (KD) so erzeugt wird, daß es einen Boden der ersten Vertiefung (V1) und Flanken der ersten Vertiefung (V1) bis zur ersten Tiefe (T1) unterhalb der Oberfläche des Substrats (1) bedeckt, 55
 – bei dem nach Erzeugung des Kondensatordielektrikums (KD) der Speicherknoten (SK) so erzeugt wird, daß er die erste Vertiefung (V1) bis mindestens zur Oberfläche des Substrats (1) füllt, 60
 – bei dem der Isolationsgraben (IG) so erzeugt wird, daß er in den Speicherknoten (SK) hineinreicht, tiefer als die erste Tiefe (T1) ist und die erste Vertiefung (V1) so überlappt, daß der Speicherknoten (SK) nur noch im Kontaktbereich der seitlichen Fläche der ersten Vertiefung (V1) an das Substrat (1) angrenzt. 65
20. Verfahren nach einem der Ansprüche 15 bis 19,

- bei dem die erste Speicherzelle und die zweite Speicherzelle ein Paar bilden,
 – bei dem eine Anzahl zum Paar analog ausgestaltete Paare erzeugt werden,
 – bei dem die Paare Reihen bilden,
 – bei dem die Bitleitungen (B) erzeugt werden, die jeweils entlang einer der Reihen verlaufen,
 – bei dem die Paare so angeordnet werden, daß die ersten Vertiefungen (V1) und die zweiten Vertiefungen (V2) von Paaren einer Reihe entlang der Reihe nebeneinander angeordnet sind,
 – bei dem quer zu den Reihen Wortleitungen (W) erzeugt werden,
 – bei dem die Wortleitungen (W) so erzeugt werden, daß zueinander benachbarte der Wortleitungen (W) denselben Abstand voneinander aufweisen.
 – bei dem die Paare so angeordnet werden, daß die Wortleitungen (W) jeweils alternierend erste Vertiefungen (V1) bedecken und zweite Vertiefungen (V2) überlappen,
 – bei dem die Gateelektroden der Transistoren der Speicherzellen als Teile der Wortleitungen (W) erzeugt werden.

Hierzu 5 Seite(n) Zeichnungen

FIG 1

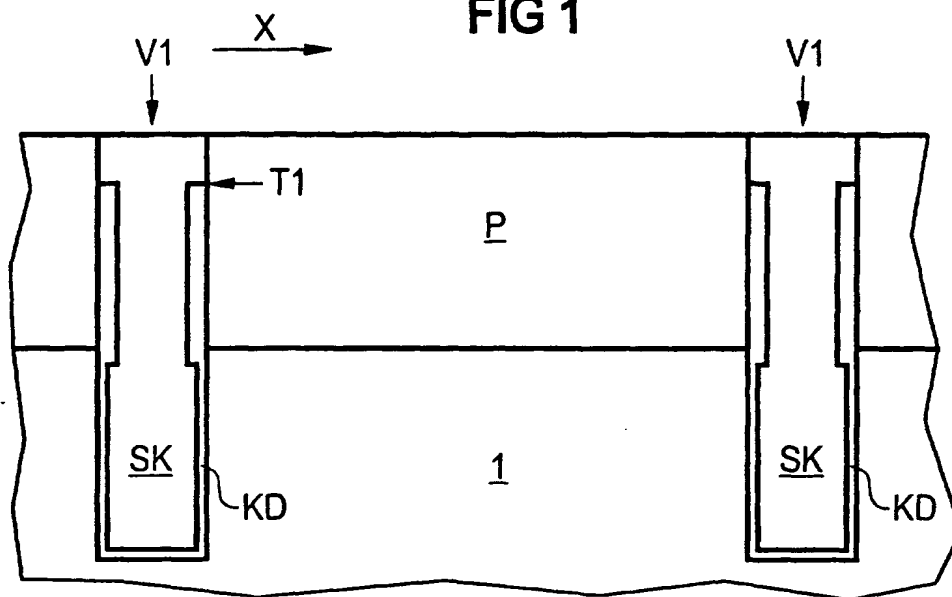
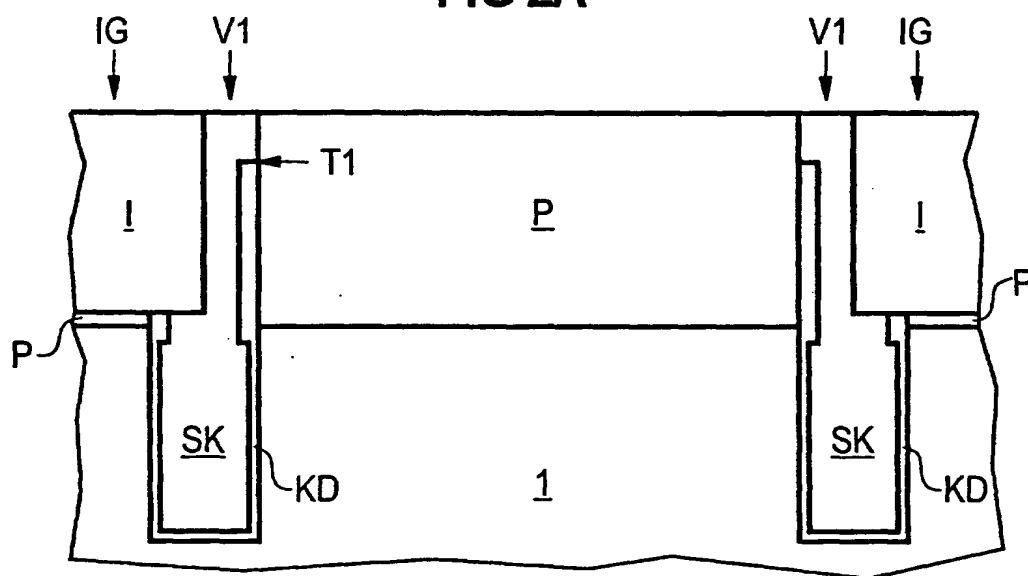


FIG 2A



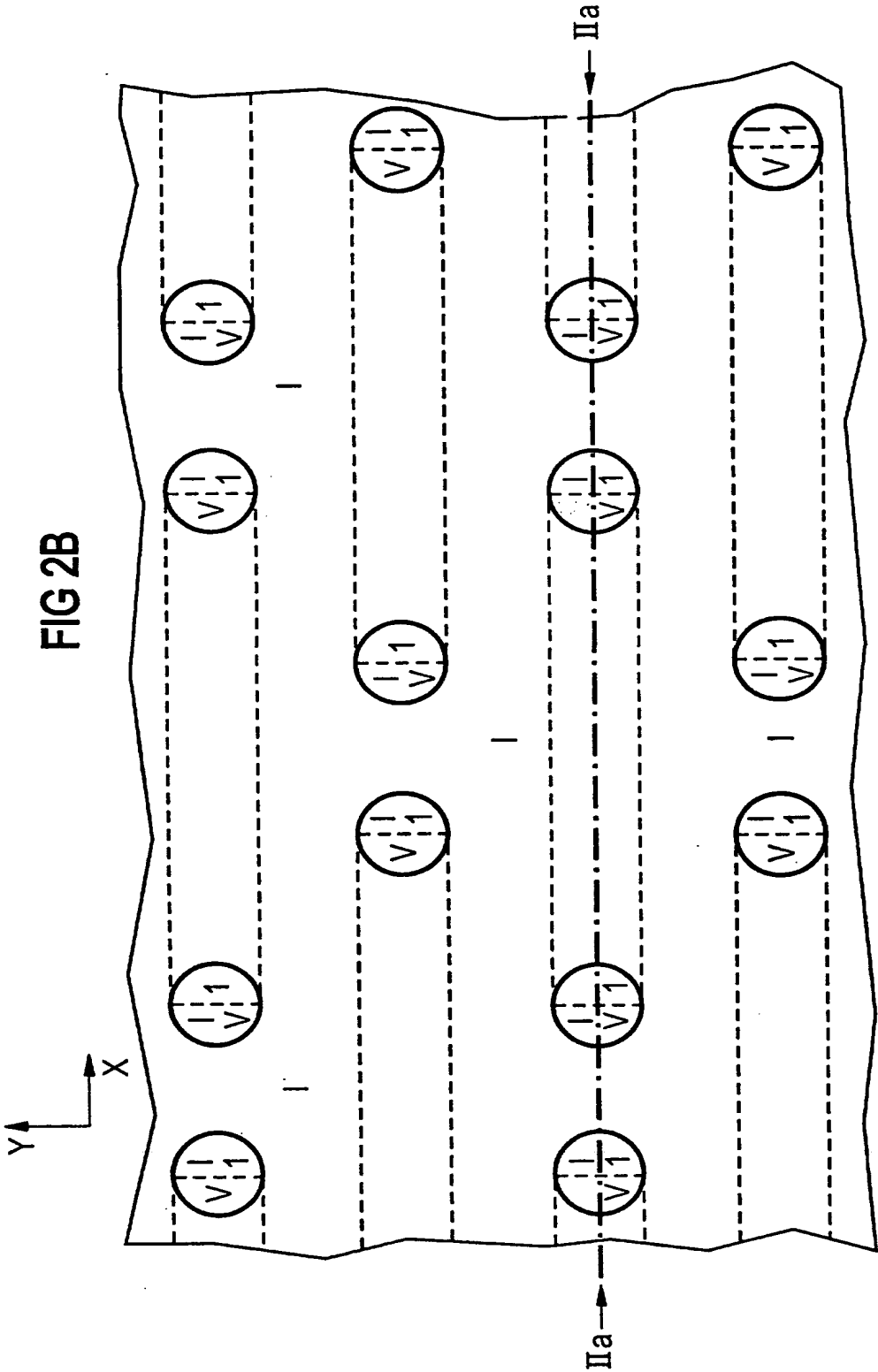


FIG 3A

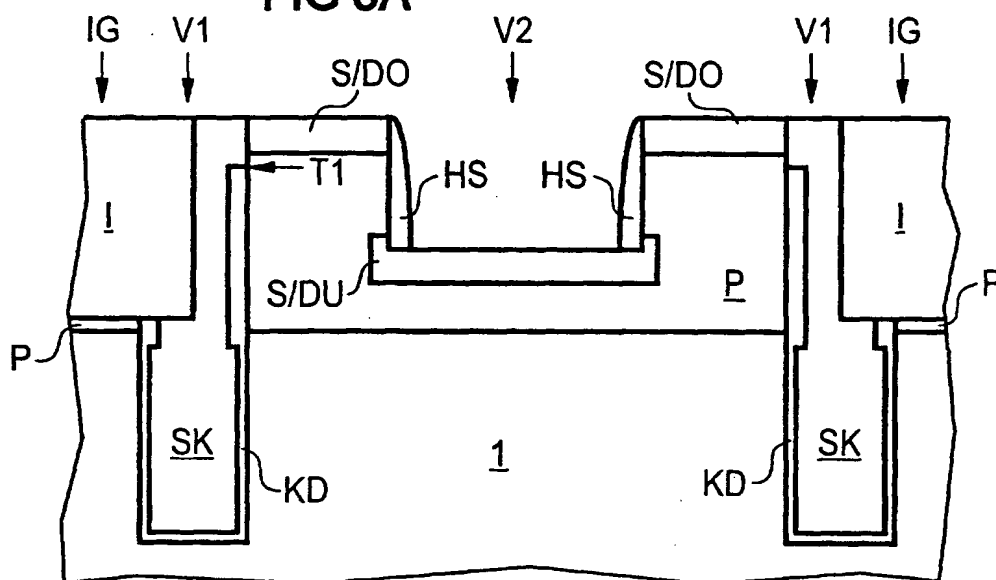


FIG 4A

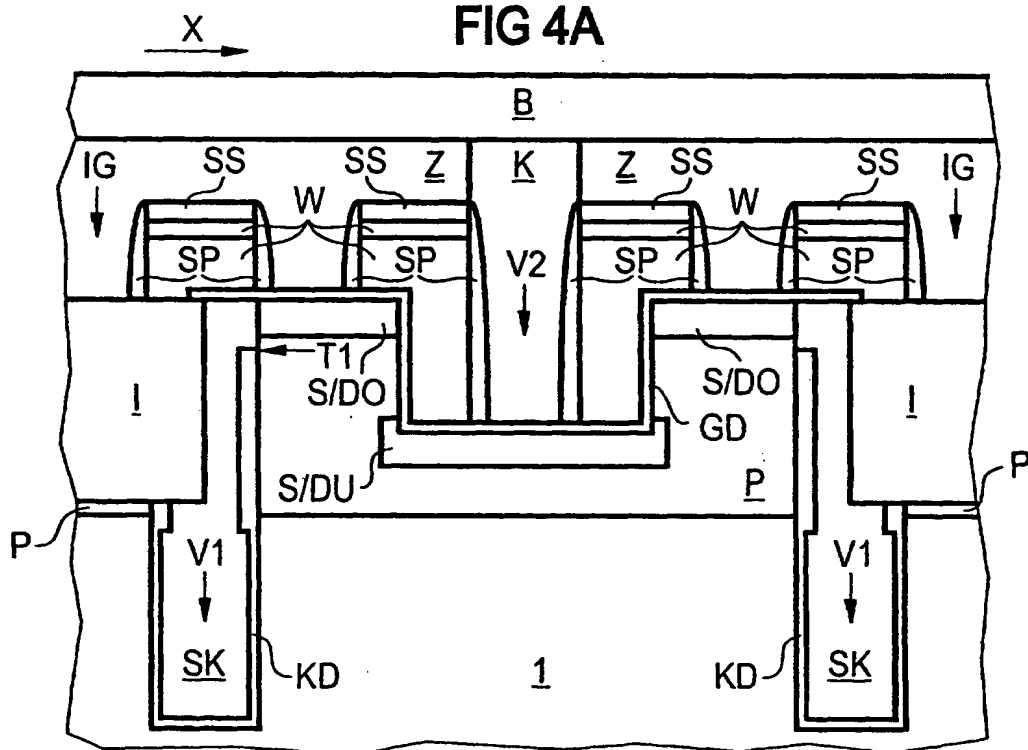
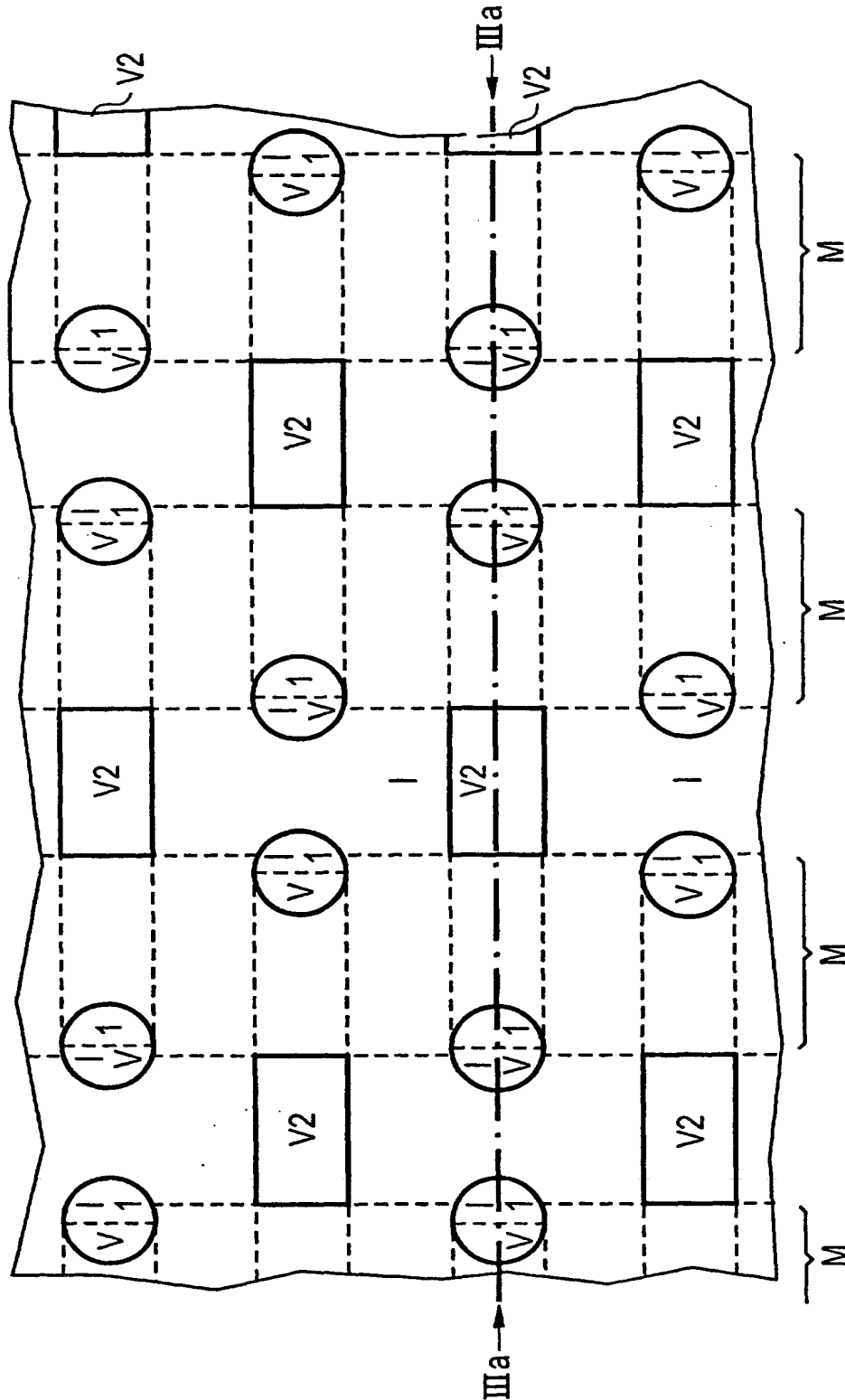
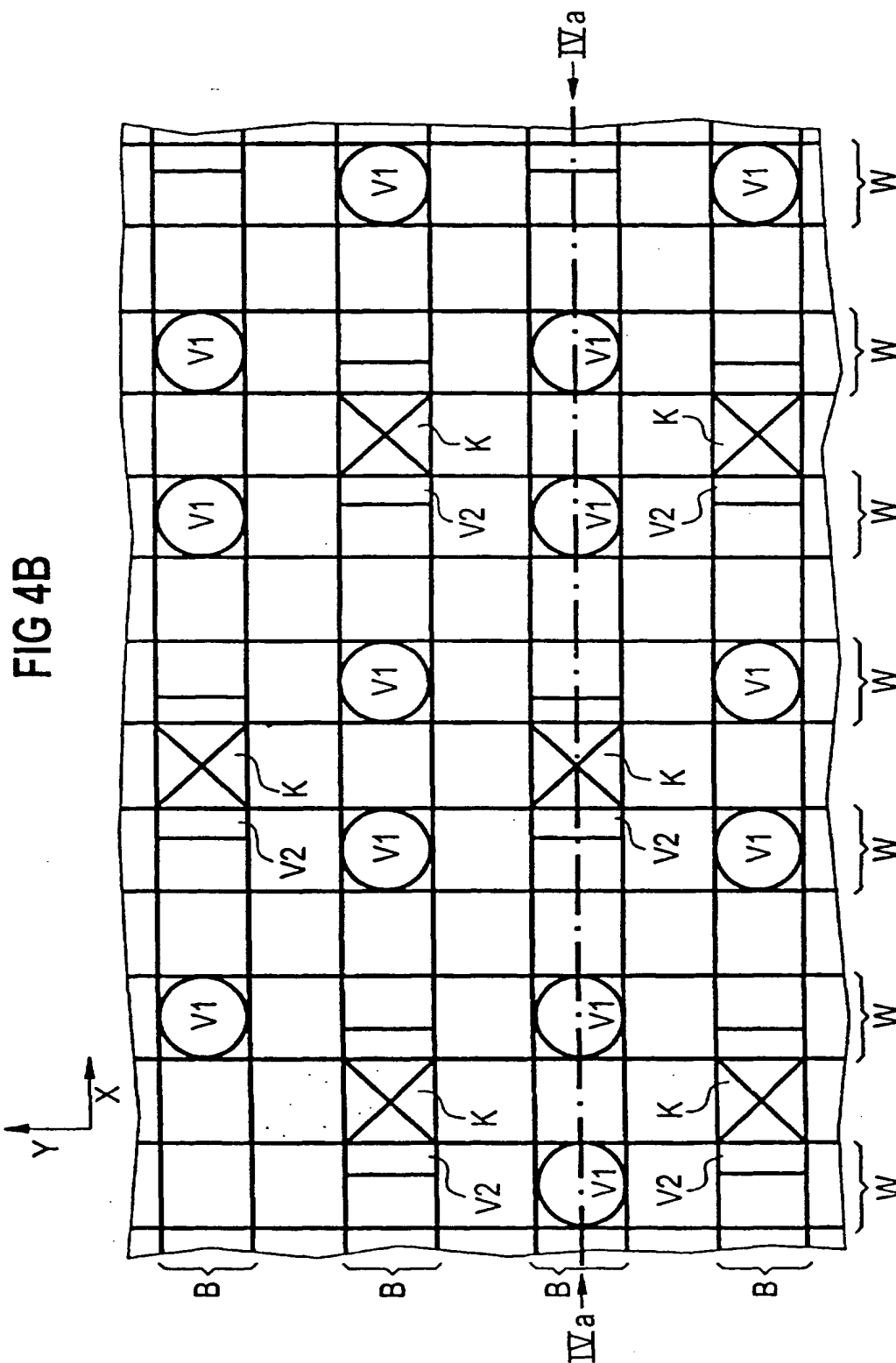


FIG 3B





DRAM cell configuration and fabrication method

Patent Number: US6448600
Publication date: 2002-09-10
Inventor(s): HOFMANN FRANZ (DE); SCHLOESSER TILL (DE); WILLER JOSEF (DE)
Applicant(s): INFINEON TECHNOLOGIES AG (DE)
Requested Patent: DE19954867
Application Number: US20000713484 20001115
Priority Number(s): DE19991054867 19991115
IPC Classification: H01L21/8242
EC Classification: H01L21/8242B6C, H01L21/8242C2
Equivalents: JP2001185704

Abstract

The memory cells each have a capacitor and a transistor. A storage node of the capacitor is arranged in a first depression formed in a substrate. A gate electrode of the transistor is arranged in a second depression at a first lateral surface of the second depression. The second depression is spaced apart from the first depression. An upper source/drain region of the transistor adjoins the storage node and the second depression. A lower source/drain region of the transistor is formed deeper in the substrate than the upper source/drain region and it adjoins the second depression

Data supplied from the esp@cenet database - I2

US 6,448,600 B2
Sep 10, 2002
Infineon Technologies AG
Munich, Germany
DRAM cell configuration and fabrication method

DOCKET NO: P2002, 0635

SERIAL NO: _____

APPLICANT: D. Fuhrmann et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100